

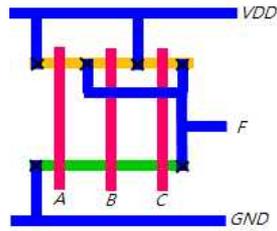
IT CookBook, CMOS 디지털 집적회로 설계

[연습문제 답안 이용 안내]

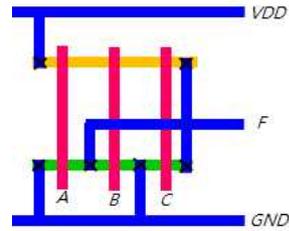
- 본 연습문제 답안의 저작권은 신경욱과 한빛아카데미(주)에 있습니다.
- 이 자료를 무단으로 전제하거나 배포할 경우 저작권법 136조에 의거하여 최고 5년 이하의 징역 또는 5천만원 이하의 벌금에 처할 수 있고 이를 병과(併科)할 수도 있습니다.

Chapter 02 연습문제 답안

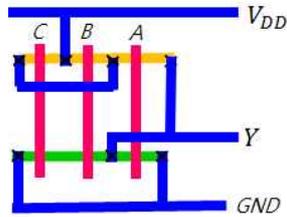
[2.31]



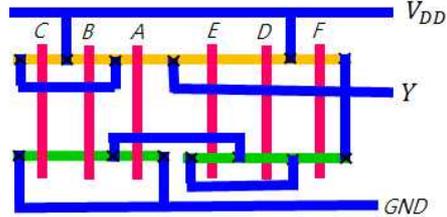
(a)



(b)



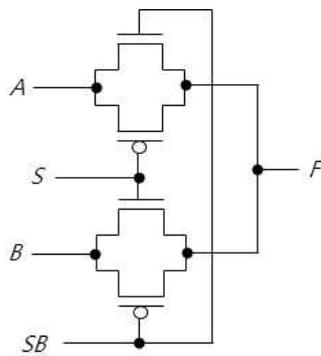
(c)



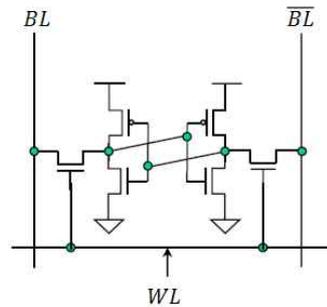
(d)

[2.32] 생략

[2.33]



[2.34]



Chapter 03 연습문제 답안

[3.21]

- (a) $V_{SB} = 0\text{ V}$ 인 경우; $V_{Tn0} = 0.92\text{ V}$
 (b) $V_{SB} = 2.5\text{ V}$ 인 경우; $V_{Tn} = 1.14\text{ V}$

[3.22]

- (a) $V_{SB} = 0\text{ V}$ 인 경우; $V_{Tn0} = 0.5\text{ V}$
 (b) $V_{SB} = 2.5\text{ V}$ 인 경우; $V_{Tn} = 0.72\text{ V}$

[3.23]

$$I_D = 362.3\ \mu\text{A}$$

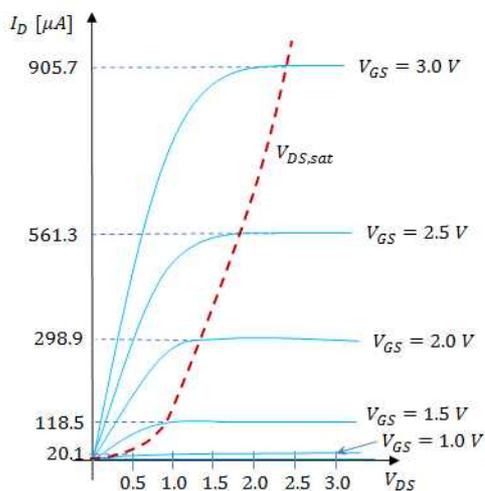
[3.24]

- $W_n = 0.72\ \mu\text{m}$ 인 경우; $\beta_n = 720\ \mu\text{A}/\text{V}^2 \rightarrow R_{on} = 712\ \Omega$
- $W_n = 0.9\ \mu\text{m}$ 인 경우; $\beta_n = 900\ \mu\text{A}/\text{V}^2 \rightarrow R_{on} = 570\ \Omega$
- $W_n = 1.08\ \mu\text{m}$ 인 경우; $\beta_n = 1,080\ \mu\text{A}/\text{V}^2 \rightarrow R_{on} = 475\ \Omega$

[3.25]

- (a) 포화모드 (b) 차단모드 (c) 포화모드 (d) 선형모드

[3.26]



[3.27]

$$C_g^* = 1.5 fF/\mu m, \quad C_g = 0.9 fF$$

[3.28]

$$C_{ja} = 0.25 fF/\mu m^2, \quad C_{jp} = 0.2 fF/\mu m$$

[3.29]

(a) $C_g = 0.276 fF$

(b) $C_d = 0.524 fF$

[3.30]

$$\tau_{AB} = 106.4 fs$$

$$\tau_{BC} = 52.8 fs$$

$$\tau_{BD} = 99.2 fs$$

Chapter 04 연습문제 답안

[4.21] 생략

[4.22]

영역	nMOS	pMOS
A	차단	선형
B	포화	선형
C	포화	포화
D	선형	포화
E	선형	차단

[4.23]

$$\frac{W_p}{W_n} = 2.895 \approx 3.0$$

[4.24]

$$t_f = t_r = 368.5 \text{ ps}$$

[4.25]

각 인버터를 구성하는 pMOS와 nMOS의 채널폭 비를 $W_{p1}/W_{n1} = W_{p2}/W_{n2} = \beta$ 로 두면, 배선에 의한 커패시턴스가 매우 작은 경우($C_w \ll (C_{dn1} + C_{gn2})$)에 $\beta_{opt} \approx \sqrt{r} = \sqrt{R_{eqp}/R_{eqn}}$ 이 된다.

[4.26]

$$\frac{W_p}{W_n} = 0.7$$

[4.27] 생략

[4.28] 생략

[4.29]

$$V_{OH} = 4.3 \text{ V}, \quad V_{OL} = 0 \text{ V}, \quad V_{IH} = 3.8 \text{ V}, \quad V_{IL} = 2.8 \text{ V}$$

[4.30]

$$t_{pd} = 69.1 \text{ ps}$$

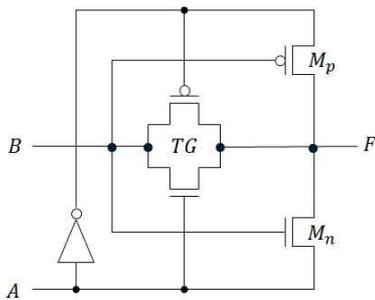
[4.31] 생략

Chapter 05 연습문제 답안

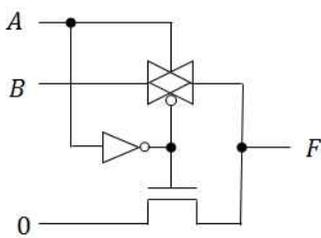
[5.11]

(a) $F = |2V_{Tp}|$ (b) $F = |V_{Tp}|$

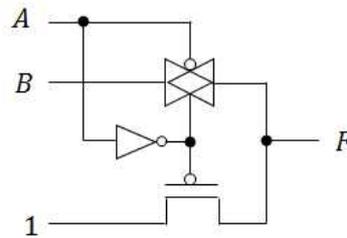
[5.12]



[5.13]

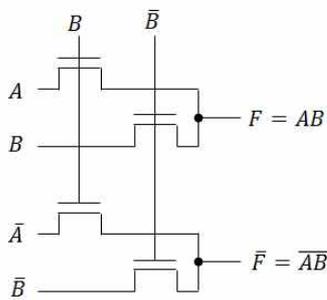


(a) 2입력 AND 게이트

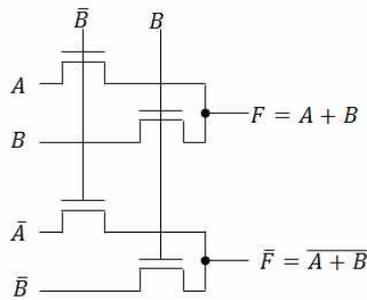


(b) 2입력 OR 게이트

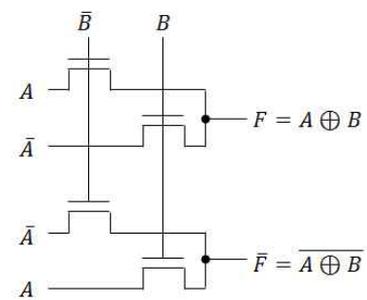
[5.14]



(a)



(b)

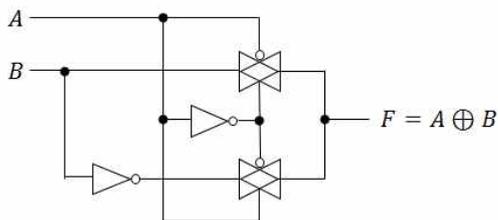


(c)

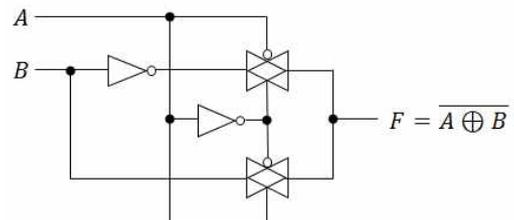
[5.15]

논리 게이트	P_1	P_2	P_3	P_4
AND	1	0	0	0
NAND	0	1	1	1
OR	1	1	1	0
NOR	0	0	0	1
XOR	0	1	1	0

[5.16]

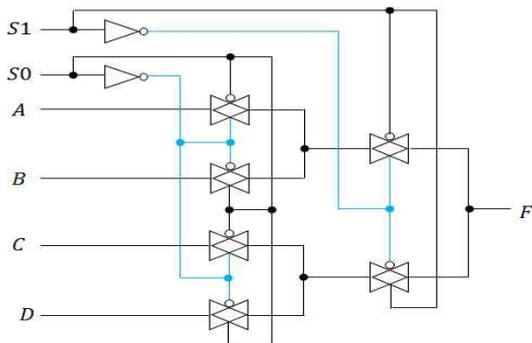


(a) 2입력 XOR 게이트



(2) 2입력 XNOR 게이트

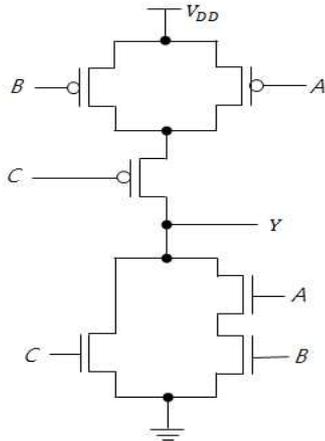
[5.17]



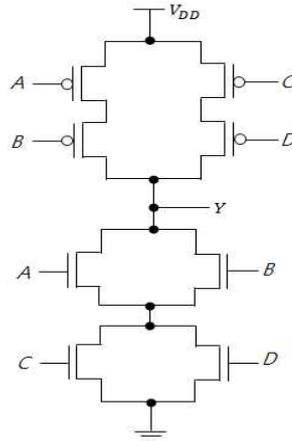
Chapter 06 연습문제 답안

[6.21]

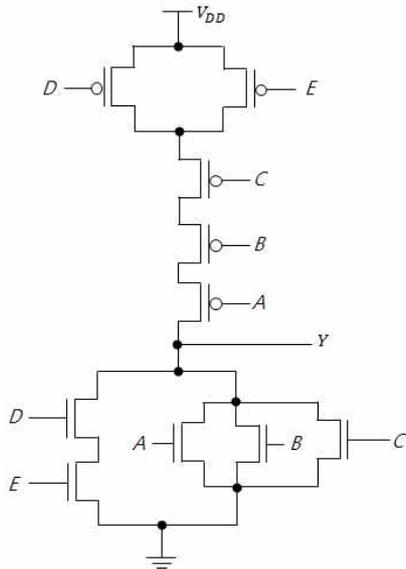
(a) $Y = \overline{AB + C}$



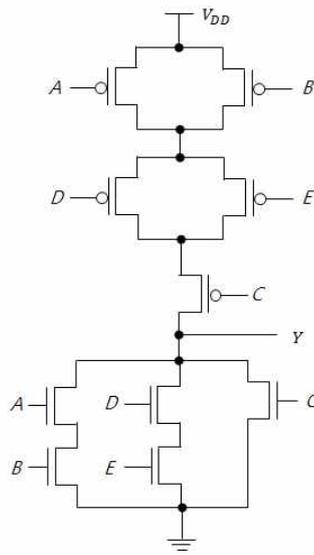
(b) $Y = \overline{(A + B)(C + D)}$



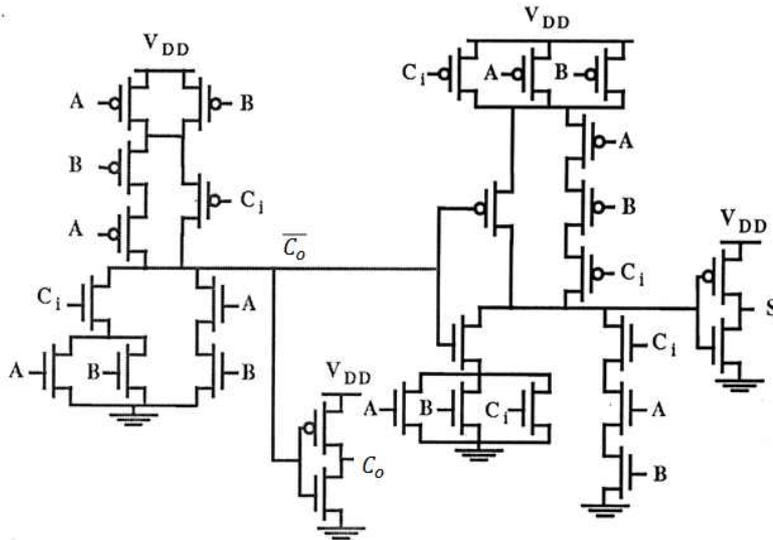
(c) $Y = \overline{(A + B + C) + DE}$



(d) $Y = \overline{AB + C + DE}$

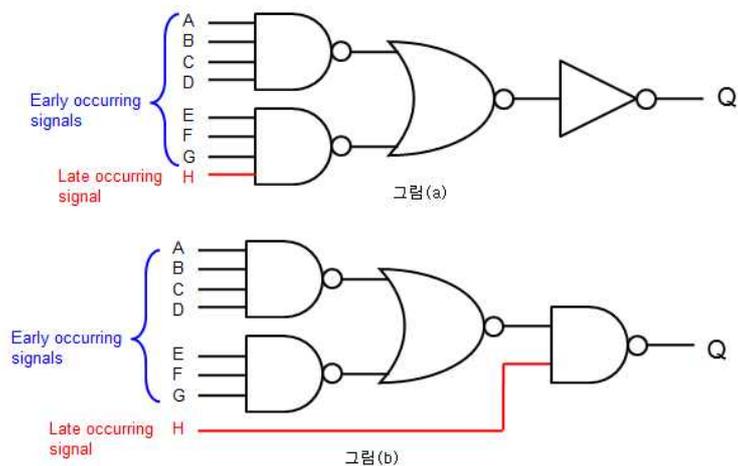


[6.22]



[6.23]

먼저, fan-in이 4 이하인 게이트를 사용해야 하므로 DeMorgan 정리를 이용하면 [그림-(a)]와 같이 구현할 수 있다. 입력 H가 가장 늦게 변한다고 하였으므로, 먼저 들어온 입력 신호 A~G에 의해 NAND 게이트, NOR 게이트 그리고 인버터의 출력에 불필요한 스위칭 (glitch)가 발생되어 불필요한 스위칭 전력이 소모될 수 있다. 한편, [그림-(b)]와 같이 가장 늦게 변하는 입력을 출력쪽의 NAND 게이트에 인가하면, 먼저 들어온 신호들에 의해 NOR 게이트의 출력이 결정된 후 가장 늦게 들어오는 입력 H에 의해 마지막 NAND 게이트의 출력이 결정되므로, NOR 게이트의 출력에 glitch가 발생되지 않아 불필요한 스위칭 전력 소모를 최소화할 수 있다. 이와 같이, 같이 multi-level 로직에서 가장 늦게 변하는 입력을 출력쪽의 게이트에 인가하면, glitch 전력소모를 줄일 수 있다.



[6.24]

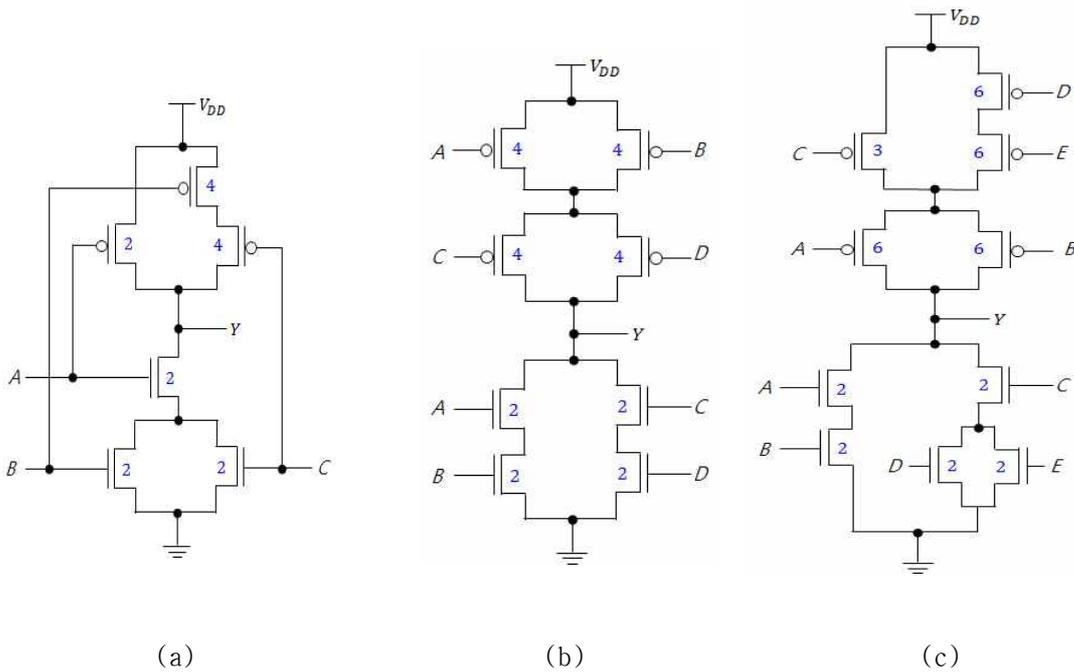
구 분		정적 CMOS 회로	pseudo nMOS 회로	차동 전압 스위치 회로
n -입력 논리게이트	pMOS	n 개	1개	2개
	nMOS	n 개	n 개	$2n$ 개
반전 입력		불필요	불필요	필요
정적 전력소모		NO	YES	NO
$V_{OH} = V_{DD}$		YES	YES	YES
$V_{OL} = 0V$		YES	NO	YES
Ratioed DC 특성		NO	YES	NO

[6.25]

(a) $g_A = 4/3, g_B = g_C = g_D = 6/3$

(b) $g_A = g_B = g_C = 6/3$

(c) $\therefore g_A = g_B = g_D = g_E = 8/3, g_C = 5/3$



[6.26]

(a) $g_{nandn} = \frac{n + \gamma}{1 + \gamma}$

(b) $g_{nandn} = \frac{1 + n\gamma}{1 + \gamma}$

[6.27]

$$d_{abs} = 40 ps, f = 304.88 MHz$$

[6.28]

$$d_{abs} = 272 ps$$

[6.29]

(a) $\hat{D} = 18.0$

(b) $y = 1.5C_1, x = C_1$

[6.30]

(a)

$$H = 1 \text{인 경우; } \hat{D} = 12.7$$

$$H = 20 \text{인 경우; } \hat{D} = 25.3$$

(b)

$$H = 1 \text{인 경우; } \hat{D} = 9.7$$

$$H = 20 \text{인 경우; } \hat{D} = 22.3$$

(c)

$$H = 1 \text{인 경우; } \hat{D} = 12.2$$

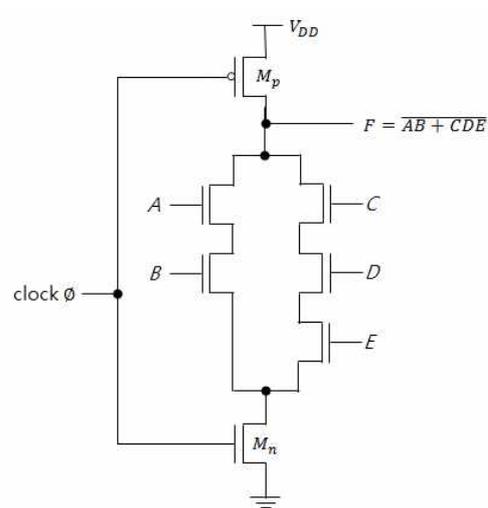
$$H = 20 \text{인 경우; } \hat{D} = 18.1$$

Chapter 07 연습문제 답안

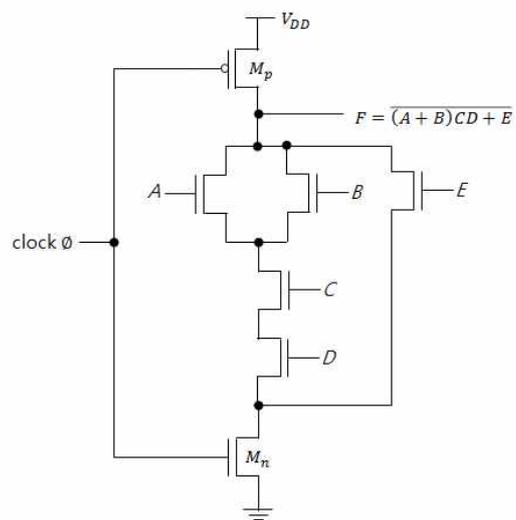
[7.11] 생략

[7.12]

(a)



(b)

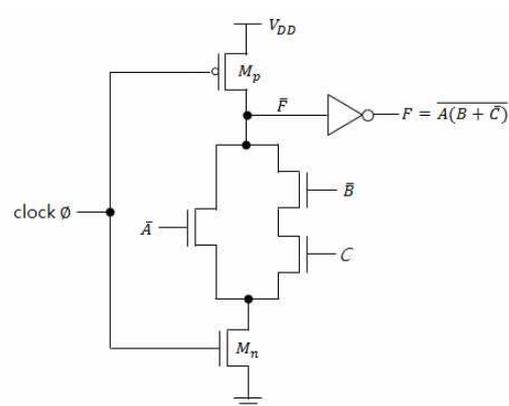


[7.13]

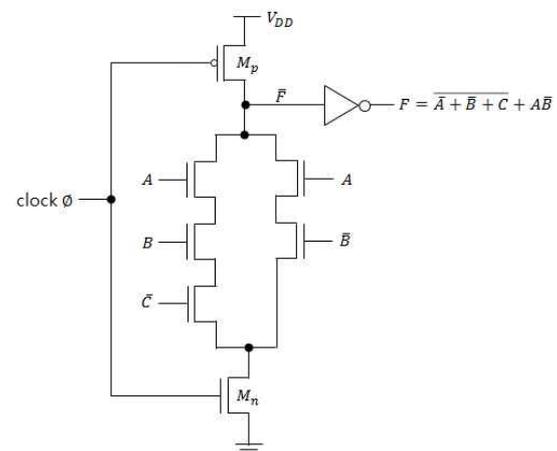
$$\Delta V_{out} = 0.51 V$$

[7.14]

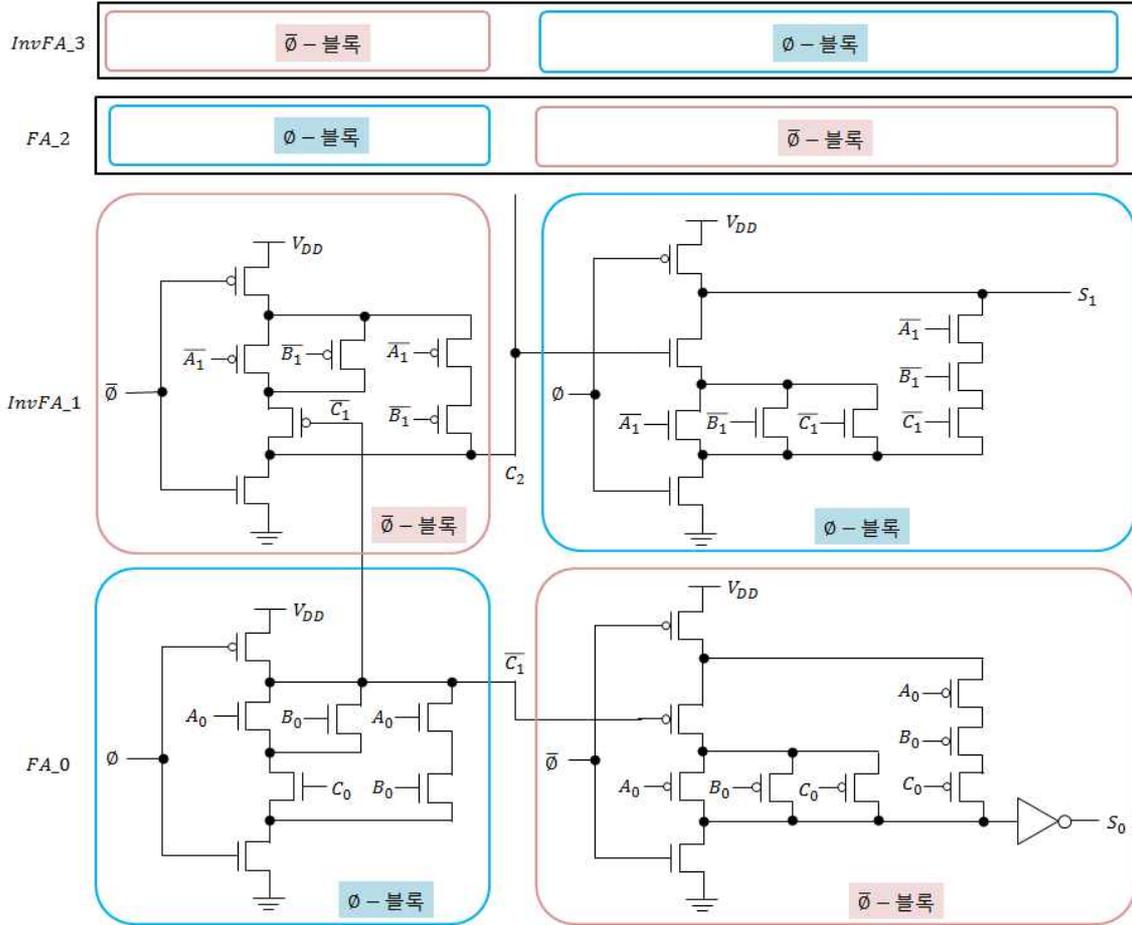
(a)



(b)



[7.15]

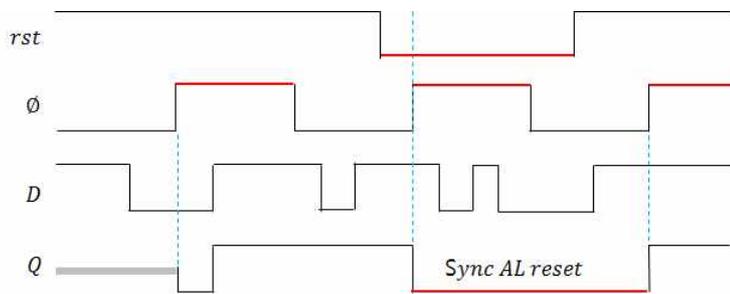


Chapter 08 연습문제 답안

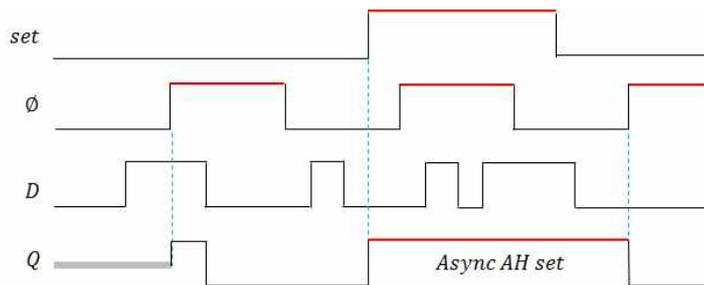
[8.21] 생략

[8.22] 생략

[8.23]

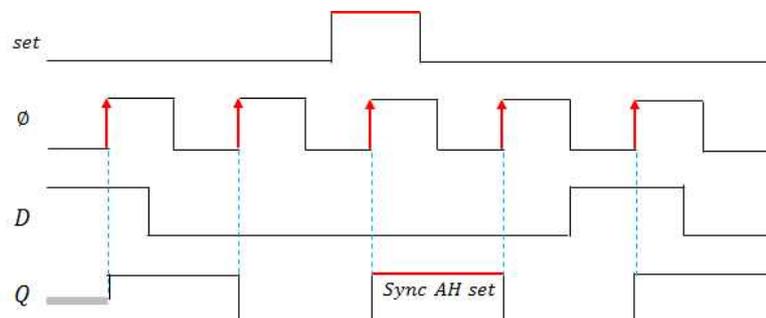


[8.24]



[8.25] 생략

[8.26]



[8.27] 생략

[8.28]

(a) $T_{comb,max} \leq 255 ps$

(b) $T_{comb,max} \leq 300 ps$

[8.29]

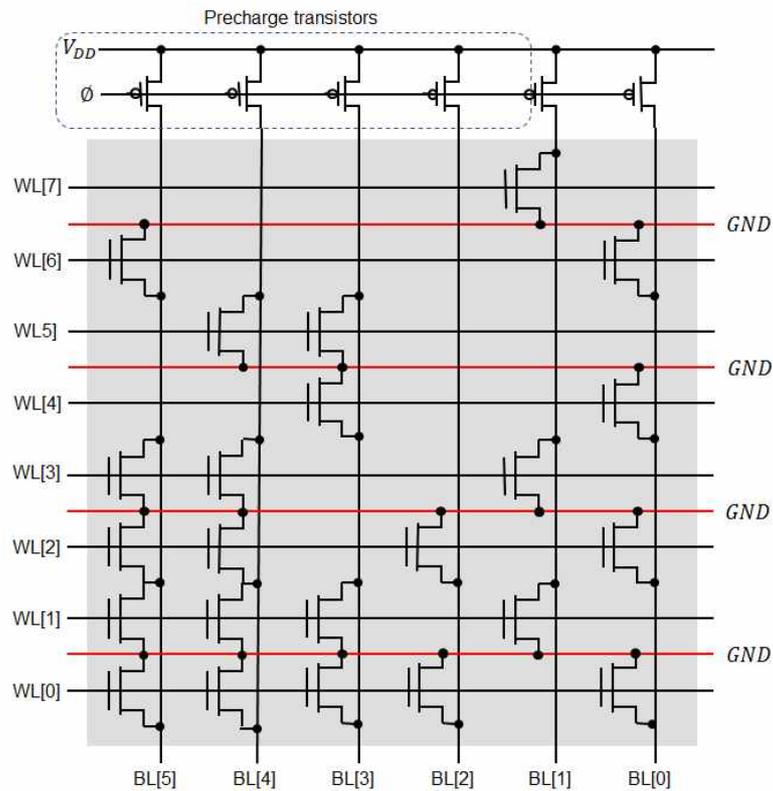
(a) $(T_{cl1,max} + T_{cl2,max}) \leq 310 ps$

(b) $T_{comb,max} \leq 310 ps$

Chapter 09 연습문제 답안

[9.21]

precharge 방식의 NOR형 ROM에서는 메모리 셀에 nMOS 트랜지스터가 있으면 '0'이 저장되고, nMOS 트랜지스터가 없으면 '1'이 저장된다.



[9.22]

1 페이지의 용량; 2,112 Bytes

1 블록의 용량; 135,168 Bytes

전체 메모리 공간; 2,112 Mbits